



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Patentschrift
10 DE 198 45 115 C 2

51 Int. Cl.7:
H 03 K 5/13
G 11 C 19/00

21 Aktenzeichen: 198 45 115.6-31
22 Anmeldetag: 30. 9. 1998
43 Offenlegungstag: 13. 4. 2000
45 Veröffentlichungstag
der Patenterteilung: 31. 8. 2000

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:
Siemens AG, 80333 München, DE

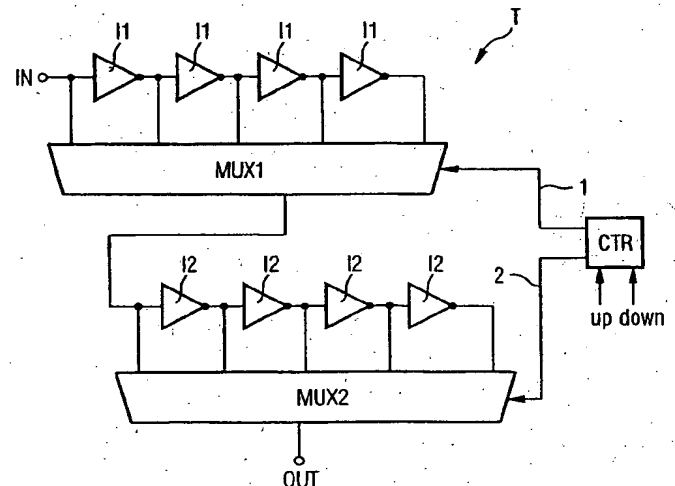
72 Erfinder:
Heyne, Patrick, 81541 München, DE

56 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE 41 10 340 C2
DE 69 312 46 5T2
US 56 70 904
US 56 04 775
US 53 76 849
EP 02 08 049 A2

54 Integrierte Schaltung mit einer einstellbaren Verzögerungseinheit

57 Integrierte Schaltung mit einer Verzögerungseinheit (T) und mit einer Steuereinheit (CTR) zum Einstellen der Verzögerung der Verzögerungseinheit,
– deren Verzögerungseinheit (T) einen Eingang (IN) zur Zuführung eines Eingangssignals und einen Ausgang (OUT) zur Ausgabe eines gegenüber dem Eingangssignal verzögerten Ausgangssignals aufweist,
– deren Verzögerungseinheit (T) erste Verzögerungselemente (I1) mit jeweils einer ersten Verzögerungszeit (t_1) und zweite Verzögerungselemente (I2) mit jeweils einer zweiten Verzögerungszeit (t_2), die größer als die erste Verzögerungszeit (t_1) ist, aufweist,
– deren Steuereinheit (CTR) zum Einstellen der Verzögerung festlegt, wieviele der ersten (I1) und zweiten (I2) Verzögerungselemente in einem Signalpfad zwischen dem Eingang (IN) und dem Ausgang (OUT) der Verzögerungseinheit (T) in einer Reihenschaltung angeordnet sind,
– deren Steuereinheit (CTR) zunächst durch inkrementelles Erhöhen oder Reduzieren der Anzahl der zweiten Verzögerungselemente (I2) im Signalpfad den Istwert der Verzögerung solange in Richtung eines Sollwertes verändert, bis der Sollwert überschritten wird,
– deren Steuereinheit (CTR) danach durch inkrementelles Reduzieren beziehungsweise Erhöhen der Anzahl der ersten Verzögerungselemente (I1) im Signalpfad den Istwert der Verzögerung so lange in Richtung des Sollwertes verändert, bis der Sollwert erneut überschritten wird,
– deren Steuereinheit bei anschließenden Änderungen des Sollwertes oder des Istwertes der Verzögerung die Anzahl der ersten Verzögerungselemente (I1) im Signalpfad inkrementell verändert, während sie die Anzahl der zweiten Verzögerungselemente (I2) im Signalpfad konstant hält,
– und bei der die Summe der ersten Verzögerungszeiten (t_1) aller ersten Verzögerungselemente (I1) wenigstens dreimal so groß ist wie die zweite Verzögerungszeit (t_2).



DE 198 45 115 C 2

DE 198 45 115 C 2

Beschreibung

Die Erfindung betrifft eine integrierte Schaltung mit einer einstellbaren Verzögerungseinheit.

Eine Verzögerungseinheit mit einstellbarer Verzögerungszeit ist in der US 5,670,904 A beschrieben. Zwischen einem Eingang und einem Ausgang der Verzögerungseinheit sind in einer Kaskadenschaltung Verzögerungsblöcke angeordnet, denen jeweils ein Überbrückungselement zugeordnet ist. Ein Signalpfad zwischen dem Eingang und dem Ausgang verläuft je nach Ansteuerung der Verzögerungseinheit wahlweise über Verzögerungselemente der Verzögerungsblöcke oder über das entsprechende Überbrückungselement. Dementsprechend trägt der betreffende Verzögerungsblock zur Verzögerung des Eingangssignals bei oder nicht. Die Verzögerungselemente innerhalb der Verzögerungsblöcke sind durch Flip-Flops realisiert. Die einzelnen Verzögerungsblöcke weisen eine unterschiedliche Anzahl von Verzögerungseinheiten auf.

In der US 5,604,775 A ist eine einstellbare Verzögerungseinheit beschrieben mit Grobverzögerungselementen und Feinverzögerungselementen, die in einer Reihenschaltung hintereinander geschaltet sind. Für die Dimensionierung der Verzögerungszeit D1 der Grobverzögerungselemente und der Verzögerungszeit D2 der Feinverzögerungselemente gilt die Vorschrift

$$n \times D2 < D1 \leq (n + 1) D2,$$

wobei n die Anzahl der Verzögerungselemente der Feinverzögerungskette bezeichnet.

Aus der EP 0 208 049 A, der US 5,376,849 A, der DE 693 12 465 T2 sowie der DE 51 10 340 C2 sind weitere Verzögerungsschaltungen beschrieben.

Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Schaltung mit einer Verzögerungseinheit mit einstellbarer Verzögerungszeit anzugeben, bei der ein Einstellen der Verzögerungszeit auf einfache Weise erfolgt.

Diese Aufgabe wird mit einer integrierten Schaltung gemäß Patentanspruch 1 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand abhängiger Ansprüche.

Die integrierte Schaltung weist neben einer Verzögerungseinheit eine Steuereinheit zum Einstellen der Verzögerung der Verzögerungseinheit auf. Die Verzögerungseinheit hat einen Eingang zur Zuführung eines Eingangssignals und einen Ausgang zur Ausgabe eines gegenüber dem Eingangssignal verzögerten Ausgangssignals. Sie hat weiterhin erste Verzögerungselemente mit jeweils einer ersten Verzögerungszeit und zweite Verzögerungselemente mit jeweils einer zweiten Verzögerungszeit, die größer als die erste Verzögerungszeit ist. Die Steuereinheit legt zum Einstellen der Verzögerung fest, wieviele der ersten und zweiten Verzögerungselemente in einem Signalpfad zwischen dem Eingang und dem Ausgang der Verzögerungseinheit in einer Reihenschaltung angeordnet sind. Die Steuereinheit verändert zunächst durch inkrementelles Erhöhen oder durch inkrementelles Reduzieren der Anzahl der zweiten Verzögerungselemente im Signalpfad den Istwert der Verzögerung so lange in Richtung eines Sollwertes, bis der Sollwert überschritten wird. Anschließend verändert die Steuereinheit durch inkrementelles Reduzieren beziehungsweise durch inkrementelles Erhöhen der Anzahl der ersten Verzögerungselemente im Signalpfad den Istwert der Verzögerung solange in Richtung des Sollwertes, bis der Sollwert erneut überschritten wird. Dabei verändert die Steuereinheit bei anschließenden Änderungen des Sollwertes oder des Istwertes der Verzögerung die Anzahl der ersten Verzögerungselemente im Signalpfad

inkrementell, während sie die Anzahl der zweiten Verzögerungselemente im Signalpfad konstant hält. In diesem Zusammenhang bedeutet "inkrementell", daß nacheinander jeweils nur eine der Verzögerungselemente der Reihenschaltung innerhalb des Signalpfades hinzugefügt beziehungsweise von ihr entfernt wird.

Bei der erfindungsgemäßen integrierten Schaltung kann durch das Festlegen der Anzahl der zweiten Verzögerungselemente in der Reihenschaltung des Signalpfades zu Beginn des Einstellvorganges der Verzögerungszeit der Istwert der Verzögerung in großen Schritten an den Sollwert angenähert werden. Sobald der Sollwert in positiver oder negativer Richtung überschritten worden ist, erfolgt eine Feineinstellung der Verzögerungszeit durch Hinzufügen beziehungsweise Entfernen von ersten Verzögerungselementen im Signalpfad. Nachdem der Istwert so gut wie möglich auf den Sollwert eingestellt worden ist, erfolgt eine Anpassung auf Änderungen des Ist- oder Sollwertes nur noch durch Änderung der Anzahl der ersten Verzögerungselemente innerhalb des Signalpfades. Daher eignet sich die Erfindung besonders für Anwendungen, bei denen nach einer Initialisierung die Verzögerungszeit auf einen unbekannten Sollwert eingestellt werden soll, der sehr unterschiedliche Werte annehmen kann, und bei denen nach einer anfänglichen Einstellung des Istwertes auf den Sollwert nur noch geringfügige Schwankungen des Istwertes oder Sollwertes auftreten. Schwankungen des Istwertes sind bei Verzögerungselementen oft beispielsweise durch Temperaturänderungen bedingt.

Außerdem ist bei der Erfindung die Summe der ersten Verzögerungszeiten aller ersten Verzögerungselemente wenigstens dreimal so groß wie die zweite Verzögerungszeit. Hierdurch ist bedingt, daß beim Konstanthalten der Anzahl der zweiten Verzögerungselemente im Signalpfad die Verzögerung der Verzögerungseinheit auch bei Schwankungen des Ist- oder Sollwertes um mehr als die zweite Verzögerungszeit noch ein Einstellen des Istwertes über die ersten Verzögerungselemente möglich ist.

Besonders günstig ist es, wenn zu Beginn der Einstellung der Verzögerung die Anzahl der ersten Verzögerungselemente im Signalpfad so gewählt ist, daß die Summe ihrer ersten Verzögerungszeiten wenigstens gleich der zweiten Verzögerungszeit und höchstens gleich der Summe der ersten Verzögerungszeiten aller ersten Verzögerungselemente abzüglich der zweiten Verzögerungszeit ist. Das bedeutet, daß in jedem Fall ein genaues Einstellen des Istwertes auf den Sollwert möglich ist, da bei Überschreiten des Sollwertes während der Veränderung der Anzahl der zweiten Verzögerungselemente zum Feineinstellen des Istwertes in jedem Fall so viele erste Verzögerungselemente vom Signalpfad entfernt beziehungsweise diesem hinzugefügt werden können, daß der gesamte Verzögerungsbereich zwischen Vielfachen der zweiten Verzögerungszeit abgedeckt wird.

Wenn zu Beginn der Einstellung der Verzögerung entweder keines der oder alle zweiten Verzögerungselemente im Signalpfad angeordnet sind, läßt sich mit der integrierten Schaltung jede beliebige Verzögerungszeit zwischen Null und der Summe der ersten und zweiten Verzögerungszeiten aller ersten und zweiten Verzögerungselemente einstellen.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert.

Fig. 1 zeigt ein Ausführungsbeispiel der integrierten Schaltung.

Fig. 2 zeigt weitere Komponenten der integrierten Schaltung aus Fig. 1 und

Fig. 3 zeigt das Einstellen der Verzögerungszeit der Verzögerungseinheit aus Fig. 1.

Fig. 1 zeigt eine Verzögerungseinheit T mit einem Eingang IN und einem Ausgang OUT. Zwischen dem Eingang

IN und dem Ausgang OUT ist ein erster Multiplexer MUX1 mit ersten Verzögerungselementen I1 und ein zweiter Multiplexer MUX2 mit zweiten Verzögerungselementen I2 angeordnet. Die Verzögerungselemente I1, I2 sind Inverter. Bei anderen Ausführungsbeispielen der Erfindung können jedoch auch beliebige andere Verzögerungselemente mit jeweils definierter Verzögerungszeit zum Einsatz kommen. Die ersten Verzögerungselemente I1 weisen jeweils die gleiche erste Verzögerungszeit t_1 auf. Die zweiten Verzögerungselemente I2 weisen jeweils eine zweite Verzögerungszeit t_2 auf. In Fig. 1 sind nur jeweils vier erste und zweite Verzögerungselemente I1, I2 dargestellt. In Wirklichkeit weist die Verzögerungseinheit T wesentlich mehr erste und zweite Verzögerungselemente auf.

Die Verzögerungselemente I1, I2 sind in jeweils einer Reihenschaltung angeordnet, wobei die Eingänge und Ausgänge jedes Verzögerungselementes I1, I2 mit Eingängen des zugehörigen Multiplexers MUX1, MUX2 verbunden sind. Während der Eingang IN der Verzögerungseinheit mit dem Eingang der Reihenschaltung der ersten Verzögerungselemente I1 verbunden ist, ist der Ausgang OUT der Verzögerungseinheit T mit dem Ausgang des zweiten Multiplexers MUX2 verbunden. Der Ausgang des ersten Multiplexers MUX1 ist mit dem Eingang der Reihenschaltung der zweiten Verzögerungselemente I2 verbunden.

Fig. 1 zeigt auch eine Steuereinheit CTR der integrierten Schaltung, die über eine ersten Steuerleitung 1 mit einem Steuereingang des ersten Multiplexers MUX1 und über eine zweiten Steuerleitung 2 mit einem Steuereingang des zweiten Multiplexers MUX2 verbunden ist. Die Steuereinheit CTR empfängt Steuersignale UP, DOWN, in deren Abhängigkeit sie eine Ansteuerung der Multiplexer MUX1, MUX2 vornimmt. Je nach Ansteuerung durch die Steuereinheit CTR verbindet jeder Multiplexer MUX1, MUX2 seinen Ausgang mit einem seiner Eingänge. Je nach Einstellung der Multiplexer ergibt sich damit ein Signalpfad zwischen dem Eingang IN und dem Ausgang OUT der Verzögerungseinheit T, in dem eine bestimmte Anzahl der ersten Verzögerungselemente I1 und der zweiten Verzögerungselemente I2 angeordnet ist. Die zweite Verzögerungszeit t_2 der zweiten Verzögerungselemente I2 ist wesentlich größer als die erste Verzögerungszeit t_1 der ersten Verzögerungselemente I1. Die Verzögerungszeit eines CMOS-Inverters läßt sich beispielsweise durch das Weiten-zu-Längen-Verhältnis seiner Transistoren einstellen. Hat der Hauptstrompfad eine große Länge, ist die Verzögerungszeit relativ lang. Hat er eine große Weite, ist die Verzögerungszeit relativ gering.

Fig. 2 zeigt, daß die in Fig. 1 dargestellten Komponenten innerhalb eines Regelkreises einer Delay-Locked-Loop (DLL) angeordnet sind. Die DLL erzeugt aus einem Eingangstakt CLK am Ausgang OUT der Verzögerungseinheit T einen verzögerten Ausgangstakt, der phasengleich mit dem Eingangstakt CLK ist. Einem Phasendetektor $\Delta\phi$ wird der Eingangstakt CLK und der Ausgangstakt zum Feststellen der Phasendifferenz zugeführt. Stellt der Phasendetektor $\Delta\phi$ fest, daß das Ausgangssignal dem Eingangssignal CLK voreilt, also eine positive Phasendifferenz aufweist, erzeugt er das Steuersignal UP mit einem hohen Pegel und das Steuersignal DOWN mit einem niedrigen Pegel. Er führt diese beiden Steuersignale der Steuereinheit CTR zu. Somit erkennt die Steuereinheit CTR, daß die Verzögerungszeit der Verzögerungseinheit T erhöht werden muß, und bewirkt über die Steuerleitungen 1, 2 eine entsprechende Anpassung. Stellt der Phasendetektor $\Delta\phi$ ein Nacheilen der Phase des Ausgangstaktes gegenüber dem Eingangstakt CLK fest, also eine negative Phasendifferenz, gibt er das Steuersignal UP mit einem niedrigen und das Steuersignal DOWN mit einem hohen Pegel an seinem Ausgang aus. Daraufhin ernied-

rigt die Steuereinheit CTR über die Steuerleitungen 1, 2 die Verzögerungszeit der Verzögerungseinheit T.

Anhand von Fig. 3 wird im folgenden erläutert, auf welche Weise die Verzögerungszeit der Verzögerungseinheit T bei einer Initialisierung der integrierten Schaltung so eingestellt wird, daß die Phase des Ausgangstaktes am Ausgang OUT mit der Phase des Eingangstaktes CLK am Eingang IN übereinstimmt. Zu Beginn des Einstellvorgangs sind die beiden Multiplexer MUX1, MUX2 in Fig. 1 über die Steuerleitungen 1, 2 von der Steuereinheit CTR so angesteuert, daß keines der zweiten Verzögerungselemente I2 und acht der ersten Verzögerungselemente I1 im Signalpfad zwischen dem Eingang IN und dem Ausgang OUT angeordnet sind. Fig. 3 zeigt im linken Teil für jeden Einstellschritt die Summe der zweiten Verzögerungszeiten t_2 der im Signalpfad befindlichen zweiten Verzögerungselemente I2 und im rechten Teil die Summe der ersten Verzögerungszeiten t_1 der sich im Signalpfad befindlichen ersten Verzögerungselemente I1. Die in Fig. 3 zeilenweise eingezeichneten Pfeile symbolisieren jeweils die Summe der Verzögerungszeit der jeweils im Signalpfad befindlichen ersten und zweiten Verzögerungselemente I1, I2, die proportional zur Anzahl der im Signalpfad befindlichen ersten beziehungsweise zweiten Verzögerungselemente ist.

Der Einstellvorgang erfolgt zunächst durch Konstanthalten der Anzahl der ersten Verzögerungselemente I1 und durch inkrementelle Veränderung der Anzahl der zweiten Verzögerungselemente I2 im Signalpfad. Die Steuereinheit CTR empfängt vom Phasendetektor $\Delta\phi$ die Information, daß die Phase des Ausgangstaktes dem Eingangstakt CLK voreilt. Daher erhöht sie über die zweite Steuerleitung 2 die Anzahl der zweiten Verzögerungselemente I2 im Signalpfad von Null auf Eins. Der zweite Multiplexer MUX2 verbindet dann den Ausgang des ersten Inverters I2 innerhalb der Reihenschaltung der zweiten Verzögerungselemente mit seinem Ausgang OUT. Anschließend beträgt die Gesamtverzögerungszeit der Verzögerungseinheit T $3t_2$. Solange der Ausgangstakt noch eine positive Phasendifferenz zum Eingangstakt CLK aufweist, erhöht die Steuereinheit CTR die Anzahl der zweiten Verzögerungselemente I2 im Signalpfad, bis sie Vier beträgt. Die Gesamtverzögerungszeit der Verzögerungseinheit T setzt sich dann zusammen aus der Verzögerungszeit $4t_2$ dieser vier zweiten Verzögerungselemente I2 und der Verzögerungszeit $2t_1 = 8t_1$ der acht ersten Verzögerungselemente I1. Der Phasendetektor $\Delta\phi$ detektiert nun eine negative Phasendifferenz, so daß die Steuereinheit CTR von nun an die Anzahl der zweiten Verzögerungselemente I2 auf Vier konstant hält. Gleichzeitig reduziert sie zur Feineinstellung der Phase des Ausgangstaktes die Anzahl der ersten Verzögerungselemente I1 im Signalpfad. Dies geschieht wiederum inkrementell, bis der Phasendetektor $\Delta\phi$ wiederum einen Vorzeichenwechsel in der Phasendifferenz feststellt. Die weitere Feinregelung erfolgt anschließend über eine Veränderung der Anzahl der ersten Verzögerungselemente I1 im Signalpfad.

Da bei diesem Ausführungsbeispiel die Anzahl der zweiten Verzögerungselemente I2 zu Beginn der Einstellung der Verzögerung der Verzögerungseinheit T Null ist, kann die Verzögerung durch die im Signalpfad befindlichen zweiten Verzögerungselemente I2 bis zur Gesamtverzögerungszeit aller zweiten Verzögerungselemente I2 erhöht werden, bevor ihre Anzahl im Signalpfad konstant gehalten wird. Wie bereits erwähnt, wird die Verzögerungseinheit T in der Praxis eine größere Anzahl von ersten und zweiten Verzögerungselementen I1, I2 aufweisen. Die Anzahl der ersten Verzögerungselemente I1 ist bei diesem Ausführungsbeispiel so gewählt, daß die Summe ihrer Verzögerungszeiten t_1 im wesentlichen gleich dem Dreifachen der zweiten Verzöge-

rungszeit t_2 ist.

Es ist günstig, wenn die ersten Verzögerungszeit t_1 sehr viel kleiner ist als die zweite Verzögerungszeit t_2 . Dann läßt sich nach einer groben, aber schnell durchzuführenden Vor- 5
einstellung durch Veränderung der Anzahl der zweiten Verzögerungselemente I2 im Signalpfad in weiteren Schritten eine sehr genaue Einstellung des Istwertes der Verzögerungszeit der Verzögerungseinheit T erreichen.

Zu dem Zeitpunkt, zu dem die Steuereinheit CTR gemäß Fig. 3 die Anzahl der zweiten Verzögerungselemente I2 im 10
Signalpfad auf Vier erhöht, stellt der Phasendetektor $\Delta\phi$, wie bereits erwähnt, einen Vorzeichenwechsel der Phasendifferenz fest. Es ist dann möglich, daß die Verzögerungszeit der Verzögerungseinheit T nur sehr geringfügig, beispielsweise nur um die erste Verzögerungszeit t_1 , oder auch sehr 15
stark, beispielsweise um nahezu die zweite Verzögerungszeit t_2 zu groß geworden ist. Der letztgenannte Fall ist in Fig. 3 gezeigt. Es wird deutlich, daß die Summe der ersten Verzögerungszeiten t_1 aller Verzögerungselemente I1 der 20
Verzögerungseinheit T mindestens gleich der zweiten Verzögerungszeit t_2 sein muß, um auch diese großen Phasenabweichungen nach dem Konstanthalten der Anzahl der zweiten Verzögerungselemente I2 im Signalpfad ausgleichen zu können.

Die zweite Verzögerungszeit t_2 ist so gewählt, daß sie der 25
aufgrund von Temperatureinflüssen sich ergebenden maximalen Schwankungsbreite der Verzögerungszeit der Verzögerungseinheit T entspricht. Daher ist es günstig, wenn, wie in Fig. 3 gezeigt, die Summe der ersten Verzögerungszeiten t_1 aller ersten Verzögerungselemente I1 dem Dreifachen der 30
zweiten Verzögerungszeit t_2 entspricht. Dann ist es nämlich möglich, daß Temperatureinflüsse, die sich erst nach dem Konstanthalten der Anzahl der zweiten Verzögerungselemente I2 bemerkbar machen, sowohl in positiver als auch 35
negativer Richtung allein durch Veränderung der Anzahl der ersten Verzögerungselemente I1 ausgeglichen werden können, da im vorliegenden Fall acht der ersten Verzögerungselemente I2 sich zu Beginn der Einstellung der Verzögerungszeit im Signalpfad befinden und insgesamt zwölf erste 40
Verzögerungselemente vorhanden sind.

Patentansprüche

1. Integrierte Schaltung mit einer Verzögerungseinheit (T) und mit einer Steuereinheit (CTR) zum Einstellen 45
der Verzögerung der Verzögerungseinheit,
 - deren Verzögerungseinheit (T) einen Eingang (IN) zur Zuführung eines Eingangssignals und einen Ausgang (OUT) zur Ausgabe eines gegenüber 50
dem Eingangssignal verzögerten Ausgangssignals aufweist,
 - deren Verzögerungseinheit (T) erste Verzögerungselemente (I1) mit jeweils einer ersten Verzögerungszeit (t_1) und zweite Verzögerungselemente 55
(I2) mit jeweils einer zweiten Verzögerungszeit (t_2), die größer als die erste Verzögerungszeit (t_1) ist, aufweist,
 - deren Steuereinheit (CTR) zum Einstellen der Verzögerung festlegt, wieviele der ersten (I1) und zweiten (I2) Verzögerungselemente in einem Si- 60
gnalpfad zwischen dem Eingang (IN) und dem Ausgang (OUT) der Verzögerungseinheit (T) in einer Reihenschaltung angeordnet sind,
 - deren Steuereinheit (CTR) zunächst durch inkrementelles Erhöhen oder Reduzieren der Anzahl der zweiten Verzögerungselemente (I2) im 65
Signalpfad den Istwert der Verzögerung solange in Richtung eines Sollwertes verändert, bis der

Sollwert überschritten wird,

- deren Steuereinheit (CTR) danach durch inkrementelles Reduzieren beziehungsweise Erhöhen der Anzahl der ersten Verzögerungselemente (I1) im Signalpfad den Istwert der Verzögerung so lange in Richtung des Sollwertes verändert, bis der Sollwert erneut überschritten wird,

- deren Steuereinheit bei anschließenden Änderungen des Sollwertes oder des Istwertes der Verzögerung die Anzahl der ersten Verzögerungselemente (I1) im Signalpfad inkrementell verändert, während sie die Anzahl der zweiten Verzögerungselemente (I2) im Signalpfad konstant hält, 10
- und bei der die Summe der ersten Verzögerungszeiten (t_1) aller ersten Verzögerungselemente (I1) wenigstens dreimal so groß ist wie die zweite Verzögerungszeit (t_2).

2. Integrierte Schaltung nach Anspruch 1, bei der zu Beginn der Einstellung der Verzögerung die Anzahl der ersten Verzögerungselemente (I1) im Signalpfad so gewählt ist, daß die Summe ihrer ersten Verzögerungszeiten (t_1) wenigstens gleich der zweiten Verzögerungszeit (t_2) und höchstens gleich der Summe der ersten Verzögerungszeiten (t_1) aller ersten Verzögerungselemente (I1) abzüglich der zweiten Verzögerungszeit (t_2) ist.

3. Integrierte Schaltung nach einem der vorstehenden Ansprüche, bei der zu Beginn der Einstellung der Verzögerung entweder keines der oder alle zweiten Verzögerungselemente (I2) im Signalpfad angeordnet sind.

Hierzu 2 Seite(n) Zeichnungen

FIG 1

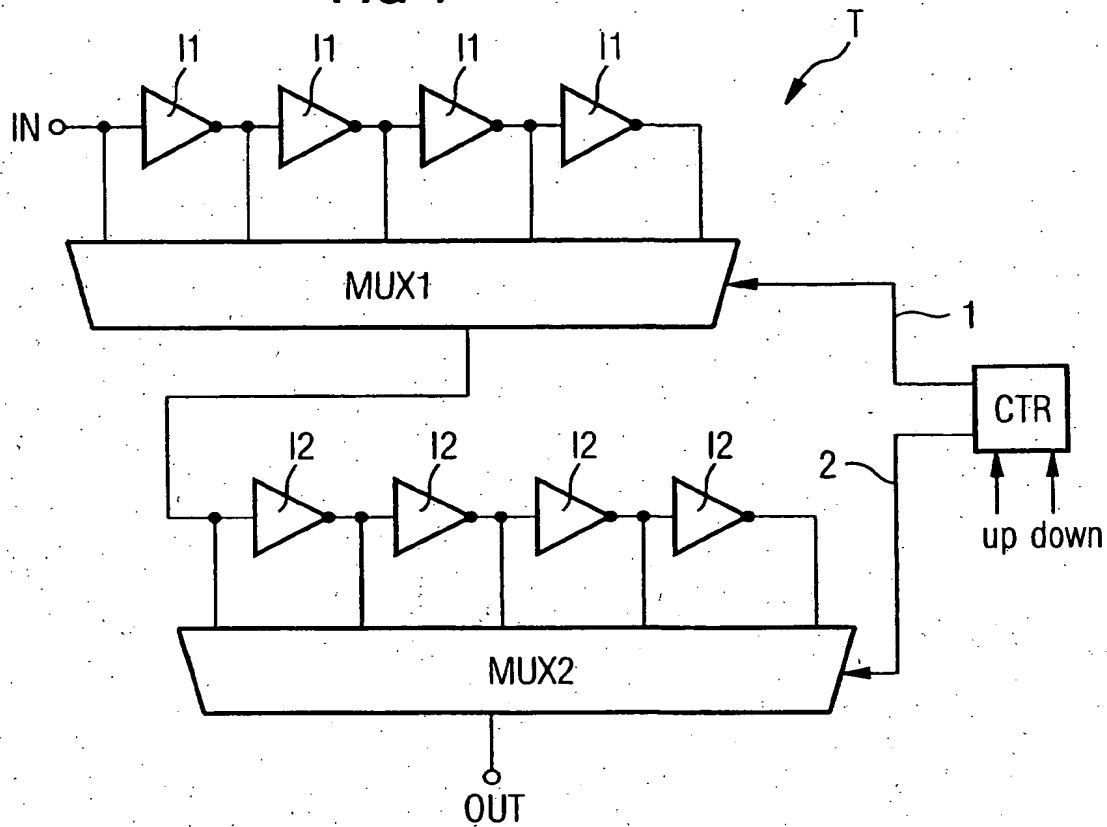


FIG 2

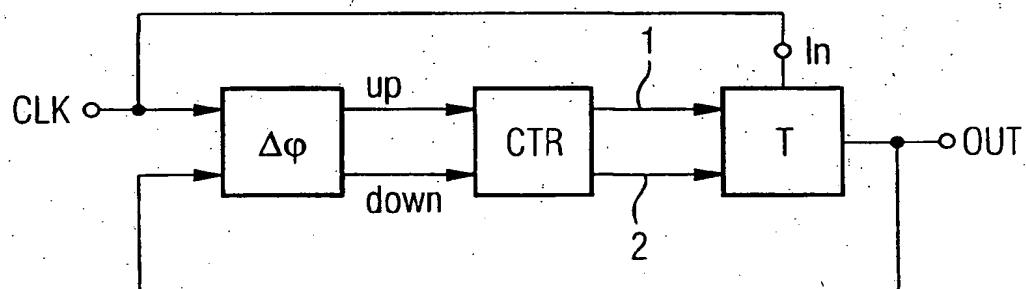


FIG 3

